

TMR方式による不良メモリの救済方法

正員 武藤 佳恭[†] 非会員 足立 佳彦[†] 正員 相磯 秀夫[†]

A TMR Method for Improving Yield of Large Memory Chips

Yoshiyasu TAKEFUJI[†], Regular Member, Yoshihiko ADACHI[†], Nonmember and Hideo AISO[†], Regular Member

あらまし メモリチップの高集積度化に伴いチップの歩留りが下がる傾向にあり、現在このチップの歩留りは大きな問題となっている。例えば64KダイナミックRAMの場合、その歩留りは10%以下という説もあり、残りの90%近くのチップは故障チップとみなされて捨てられてしまう。本論文では、このように捨てられる故障チップを利用することによって正常チップを作り上げ、見掛け上歩留りを改善する手法を提案し、その歩留り改善と故障チップメモリスシステムの信頼性に関して議論する。本手法を用いると10%の歩留りが40%に改善でき、しかもその故障チップメモリスシステムの信頼性は1個の正常メモリチップの信頼性よりも実用上劣らない。既に故障した16K RAMを用いてメモリスシステムに実装し、その有用性を確認した。

1. ま え が き

近年、半導体集積回路技術の発展に伴い高集積度のチップが製造されるようになってきた。又、チップの高集積度化に伴い、チップの歩留りが大きな問題となってきている。通常、チップ中に1箇所でも故障部分があるとそのチップは故障チップとみなされてしまう。従来、集積回路素子の歩留りを向上させるために次のような方法がとられている。

- (1) 電子的、化学的、光学的な製造技術の改善。
 - (2) 製造環境の改善。
 - (3) 回路に冗長を持たせることによる歩留り改善。
- (1), (2)の手法は正に故障部分を少なくする手法で、一般によく知られているが、(3)の手法はそうではない。つまり、故障部分を少なくするのではなく故障部分を積極的にマスクして、見掛け上故障部分を減らす手法である。(3)の手法としてAvizienisらは次のような提案をしている^{(1), (5)}。幾つかの同一モジュールを1チップ上に作り、その中で故障しているモジュールを適宜に故障していないモジュールと置き換えるという方法で

ある。この方法で問題になるのは、故障モジュールと正常モジュールを1チップ上でどのように置き換えるかで、簡単なことではない。

メモリチップだけに絞って従来の手法を考えてみると、歩留り向上という観点よりもむしろ信頼性を上げるために冗長を与える手法がある。つまりメモリのワードごとに冗長ビットを設け誤り訂正符号(ECC)を用いることによって、製造時の故障ビットあるいはメモリ内で発生する故障を誤り訂正しようという試みである。このような方法を取っても、故障が多い場合にはそのチップは救えないので捨てられてしまい、歩留りはある程度以上上がらない。

我々は、ECC内蔵有無にかかわらず、捨てられる故障メモリチップに着目し、故障メモリチップを利用することを考えた。つまり故障したチップを奇数個並べてそれらの出力を誤り訂正することにより、故障チップを正常チップに見せチップの歩留りを向上させようというものである。従来から広く知られている多数決論理を用いて故障チップの出力をVOTERによって誤り訂正を行い正常チップを作成する方法である。従来高信頼化メモリスシステムを構築するために、多数決論理あるいは誤り訂正符号を使用した例⁽²⁾はあるが、歩留り向上のために多数決論理を用いて故障したチップを生かす試みはないと思われる。

[†]慶応義塾大学理工学部電気工学科, 横浜市
Faculty of Science and Technology, Keio University,
Yokohama-shi, 223 Japan
論文番号: 昭 57-論 55 [D-16]

既に故障している 16K ダイナミック RAM を用いて、メモリシステムを実験的に実装した結果、その有用性が実証されたのでその報告を本論文で述べる。もちろん我々の提案する故障チップメモリシステムの信頼性が低いのでは、その有用性は保障されない。そこで本論文では、提案する故障チップメモリシステムの信頼性に関して議論している。故障チップメモリシステムの信頼性は既に故障しているチップ中の故障ビット数 (N) とビット当りの故障確率 (P_b) 並びに VOTER の故障確率 (P_V) に密接な関係がある。すなわち N, P_b, P_V が大きくなれば信頼性は低下する傾向を示す。VOTER の誤り訂正により故障チップメモリシステムの信頼性は正常な非冗長メモリよりも信頼性が劣らないことが判明した。これらに関して 3. で詳細に述べる。故障チップメモリシステムの信頼性に関する議論の結果、故障チップメモリシステムを正常なメモリシステムとみなすことができ、安心して使用できる。

ところで、すべての故障チップメモリが故障チップメモリシステム中で使えるわけではなく、例えば電源ラインの不良とか、データ入出力ラインの不良など致命的な故障をもったメモリチップは利用することができない。しかしながら、これらの致命的故障をもったメモリチップの数は全故障チップの数に比べて極めて少ないことが分かっている⁽¹⁾。90% 以上の故障チップメモリは故障チップメモリシステムを構成するのに使用可能であるため大幅な歩留り改善が望める。例えば歩留り 10% とし、故障チップの 90% が使用可能であると仮定し、TMR 方式をとった場合、歩留りは 37% $\left(10 + \frac{90 \times 0.9}{3}\right)$ に改善される。

一般にチップ当りの記憶容量が増すと、チップ面積が増加するために歩留りが下がる傾向にある。我々の提案する手法は歩留りが低い程その歩留り改善の効果は大きくなる傾向があり、大容量のメモリチップ (64K, 256K, ...) の歩留り改善に向いている。

次章において歩留り改善のための手法を具体的に示す。

2. VOTER を用いた故障チップメモリシステム

歩留りとは図 1 に示すように 1 ウェーハ当りにとれる全チップ数に対する正常チップ (故障が全くないチップ) 数の割合で、

$$\text{歩留り} : 100 \cdot a / (a + b) \quad (\%)$$

a : 1 ウェーハ当りの正常チップ数

b : 1 ウェーハ当りの故障チップ数

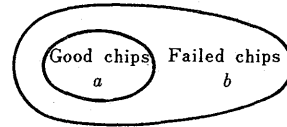


図 1 歩留りとは
Fig. 1-Yield.

となる。

ところで、インターシール社の報告によると⁽¹⁾、16K ダイナミック RAM の故障の内分けは次のようになっている。

単一ビット故障	: 89.6 %
1 から 128 bit までの 行または列故障	: 9.2 %
その他の故障	: 1.2 %

一般に歩留りは公開されていないけれども、例えば 64K RAM の歩留りを 10% とし、16K RAM と同様の故障内分けになるものと仮定した場合、全故障チップの 80% ($\equiv (100 - 10) \times 0.896$) は単一ビット故障のため排捨されるとみることが出来る。

単一ビット故障あるいは複数ビット故障のために捨てられるメモリを利用することによって正常なメモリを作り上げ、見掛け上歩留りを向上させようとするのが本論文で提案する方法である。

故障チップを使って正常なメモリチップを作り上げる際は、できるだけ簡単な方法をとることが望ましい。なぜならば、複雑な多部回路を用いて誤り訂正を行うとメモリチップのコストは上昇し、あえて故障チップを利用する意味がなくなってくる⁽⁶⁾。そこで我々は、従来より広く知られている多数決論理による高信頼化 TMR メモリシステムに着目した。図 2 に示すように、正常なメモリを三つ並べて、それらの出力の多数決論理をとるもので、TMR (Triple Modular Redundancy) メモリシステムと呼ばれている。

提案する故障チップメモリシステムは、図 2 と全く等しい構成をとるものである。異なる点は、正常チップの代りに故障チップを使用していることである。図 3 に示す故障チップメモリシステムは、●印の故障ビットのアドレスがそれぞれ異なるように、3 個の故障メモリチップを並べそれらの出力の多数決を VOTER でとる方式である。VOTER から三つの故障チップの出力をながめると、3 bit 中にたかだか 1 bit しか誤りが含まれていないので誤り訂正可能である。

図 3 のように構成すると、ほとんどの故障チップは

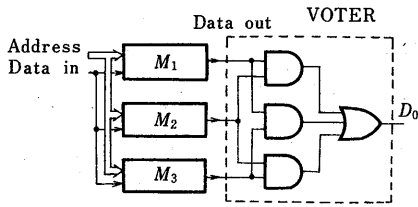


図2 高信頼化TMRメモリスシステム
Fig.2-Reliable TMR memory system.

使用可能となる。インターシール社の故障内分けで、且つ歩留りが10%と仮定すると改善される歩留りは43% ($\approx 10 + (89.6 + 9.2) / 3$)となる。

単一ビット故障のメモリだけを使用したとしても、改善される歩留りは40% ($\approx 10 + 89.6 / 3$)となる。

メモリチップの歩留りは改善されても、図3のような故障チップメモリスシステムの信頼性が低くは、提案する手法は使いものにならない。次章では、正常チップの信頼性と、提案する故障チップメモリスシステムの信頼性の比較を行い、本手法の有効性を検討してみる。

3. 故障チップメモリスシステムの信頼性比較

故障しているメモリチップの故障内分けを調べてみると、その90%近くが単一故障であることは既に述べたが、残りの9%のメモリチップも数ビット、数十ビット程度の故障である。そこで、このような故障ビットを含んだメモリチップ3個を組み合わせれば、1組の正常なメモリを構成することができる。つまり故障しているビットのアドレスが互いに異なるように、うまく三つの故障メモリチップを組み合わせるとVOTERを通して正しく誤り訂正された出力を得ることができる。図3に示すような故障チップメモリスシステムの信頼性を求めてみる。それぞれのメモリ M_1, M_2, M_3 は $16K \times 1\text{bit}$ RAMとし、 M_1 のメモリには n_1 ビットの故障、 M_2 は n_2 ビットの故障、 M_3 は n_3 ビットの故障をそれ

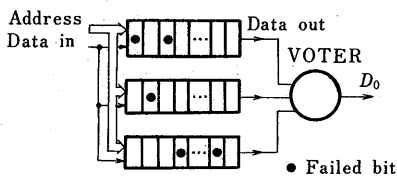


図3 故障チップメモリスシステム
Fig.3-Failed chip memory system.

ぞれ既に含んでいるものとする。但し M_1, M_2, M_3 のメモリの故障ビットのアドレスは異なっているものとする ($1 \leq n_1 < 16K, 1 \leq n_2 < 16K, 1 \leq n_3 < 16K$)。

1 bit が故障する確率を P_b 、VOTER が正しい値を出力するために必要な入力 (3 bit 中に 1 bit までの誤りを含む入力) を得る確率を R_M とすると、

$$R_M = R_\phi + R_1 + \sum_{i=2}^{16K-N} R_i$$

となる。

但し、 R_ϕ は t 時間後に M_1, M_2, M_3 の三つのメモリ中に全く新たな故障ビットが発生しない確率、 R_1 は、 t 時間後に故障ビットを全く含まない (3 bit とも正常な) ある一つのアドレス中に 1 bit だけ故障する確率とする。又、 R_i は t 時間後に i ビットの故障が発生しても VOTER によって誤り訂正できる確率とする。これらの様子を図4に示す。

一つのメモリの容量は $16K$ bit であり、故障ビットが重ならないように並べてあるから、故障しているアドレス数 N (ビット数) は、

$$N = n_1 + n_2 + n_3 \leq 16K$$

となる。

全メモリビットは $48K$ bit であるから、正常なビット数は $(48K - N)$ ビットとなる。正常なビットが t 時間後にも正常である確率 R_ϕ は

$$R_\phi = (1 - P_b)^{48K - N}$$

となる。

3 bit とも正常なアドレス数は $(16K - N)$ であるから、正常なアドレス数の中で 1 bit 故障を起す組みは $3 \times (16K - N)$ とおりとなる。3 bit とも正常なアドレスの 1 bit が故障する確率 R_1 は、

$$R_1 = 3 \times (16K - N) (1 - P_b)^{48K - N - 1} \cdot P_b$$

となる。

同様な手順で、 i ビットが故障しても回復可能な確率 R_i (≥ 0) を求めることができる。

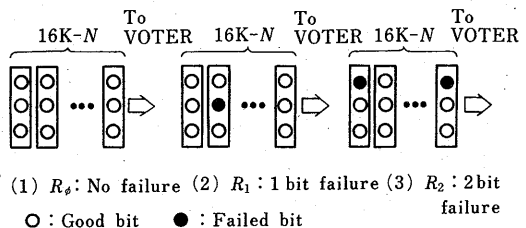


図4 VOTERが訂正可能な確率R
Fig.4-Recoverable input into VOTER.

ところで $R'_M = R_0 + R_1$ とおくと常に

$R_M > R'_M$ は成立する。なぜならば

$$R_M = R_0 + R_1 + \sum_{i=2}^{16K-N} R_i \text{ であり}$$

$$\sum_{i=2}^{16K-N} R_i > 0 \text{ であるから,}$$

VOTER に対して回復可能な入力を故障チップメモリが与える確率をひかえめに見積って R'_M と考えると,

$$\begin{aligned} R'_M &= R_0 + R_1 \\ &= (1 - P_b)^{48K-N} + 3(16K-N)(1 - P_b)^{48K-N-1} \cdot P_b \\ &= 1 - (48K-N)P_b + \frac{1}{2} \{ (48K-N)(48K-N-1) \} \cdot P_b^2 \\ &\quad + \dots + \\ &\quad + (48K-3N) \cdot P_b - (48K-3N) \cdot (48K-N-1) \cdot P_b^2 \\ &\quad + \dots + \\ &= 1 - 2NP_b - (48K-N-1) \cdot \left(24K - \frac{5}{2}N \right) P_b^2 + \dots \end{aligned}$$

となる。

ここで VOTER の信頼性を R_V とすると、1 ゲート当りの故障確率を P_G とした場合、

$$R_V = (1 - P_G)^4$$

となる。但し VOTER は 4 ゲートで構成されるものとし、各ゲートの故障確率は等しいものとする。

さて、図 3 の故障チップメモリシステムの信頼性 R_F は、VOTER に対して回復可能な入力を故障チップが与えられる確率 R'_M と VOTER の信頼性 R_V の積となるから、

$$\begin{aligned} R_F &= R'_M \cdot R_V \\ &= \left\{ 1 - 2NP_b - (48K-N-1) \left(24K - \frac{5}{2}N \right) P_b^2 + \dots \right\} \\ &\quad \cdot (1 - 4P_G + 6P_G^2 - 4P_G^3 + P_G^4) \end{aligned}$$

一方、正常な非冗長メモリチップの信頼性 R_N は

$$\begin{aligned} R_N &= (1 - P_b)^{16K} \\ &= 1 - 16KP_b + \frac{1}{2} \cdot 16K(16K-1)P_b^2 + \dots + \end{aligned}$$

となる。

故障チップメモリシステムの信頼性 R_F と正常な非冗長メモリチップの信頼性 R_N が求まったので、現実的な数値を代入して両者の信頼性を比較してみる。信頼性 R を比較する際、故障確率 $P (P = 1 - R)$ を求めてからグラフに表すと見やすくなる。そこで $K = 1,024$ とし、故障ビット総数を N 、VOTER を構成しているゲートの 1 ゲート当りの故障確率を P_G 、メモリ 1 bit 当りの故障確率 P_b をそれぞれパラメータにとり、故障チ

ップメモリシステムの故障確率 $P_F (P_F = 1 - R_F)$ 、及び非冗長正常メモリチップの故障確率 $P_N (P_N = 1 - R_N)$ を求めた。その結果を図 5 に示す。なお図 5 において故障ビット総数 N は $N = 3, 10, 100, 1,000, 10,000$ bit をそれぞれとり、1 ゲートの故障確率 P_G を $P_G = 10^{-3}, 10^{-5}, 10^{-7}$ とし、メモリ 1 bit 当りの故障確率 P_b を範囲を $P_b = 10^{-5} \sim 10^{-10}$ とした。

例えば単一ビット故障メモリチップを三つ使用して故障チップメモリシステムを構成したとすると、 $N = 3$ である。この場合故障確率 $P_G = 10^{-5}$ のゲートを用いて VOTER を構成したとすると、メモリ 1 bit 当りの故障確率 P_b の範囲が $P_b = 10^{-9} \sim 10^{-5}$ の間では、故障チップメモリシステムの信頼性の方が非冗長正常チップの信頼性よりも良いことが分かる。

ところで信頼性を議論する際に故障率 λ (Fit: 故障回数 / 10^9 時間) を導入して信頼性 $R (R = 1 - e^{-\lambda t})$ を考えることが多い。

ここで実用的な範囲について検討してみる。具体的にいうと 1 bit 当りの故障率 λ が 10^{-3} Fit⁽³⁾ とし、 $t = 10^4$ 時間 (約 1 年) とすると、故障確率 P_b は $P_b = 1 - e^{-\lambda t}$ なので

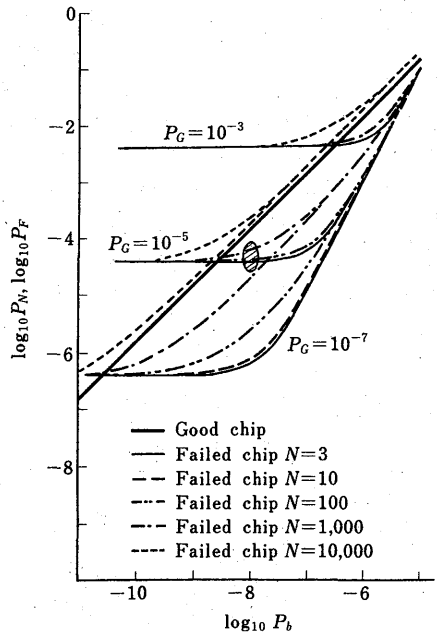


図 5 故障チップメモリと正常チップの故障確率比較
Fig.5-Comparison of probability of failed chip failure.

$$P_b \approx 10^{-3} \times 10^{-9} \times 10^4 = 10^{-8} \text{ となる.}$$

一方、ゲートの故障率を 1 Fit とすると $\lambda = 10^{-9}$ から $t = 10^4$ (時間) とすると

$$P_G = 10^{-9} \times 10^4 = 10^{-5} \text{ となり}$$

故障チップメモリシステムの信頼性が非冗長正常メモリチップの信頼性よりも高くなる範囲となる(図5の斜線部分)。

ダイナミック RAM のソフトウェアの故障率 λ は $\lambda = 10^{-10} \sim 10^{-11}$ (4) ぐらいなので

$$10^4 \text{ 時間では } P_b = 10^{-6} \sim 10^{-7} \text{ となり}$$

現実的に故障チップメモリシステムの信頼性は非冗長正常メモリチップの信頼性に比べても劣らないことが分かる。

図5のグラフを用いることによって故障ビット総数がいくつのとき、どの程度の信頼性を持つ故障チップメモリシステムを構成できるかが分かる。

以上の信頼性の議論より、2 out of 3 の多数決論理で十分信頼性の高い故障チップメモリシステムが構成

できることが分かった。

4 実験結果の検討

部分的に故障している 16Kbit ダイナミック RAM (4116) を 24 個用いて故障チップメモリシステム (16KByte) を実装した。図6に示す番号の付いた IC が今回使用した故障チップメモリである。今回実装したシステムは故障チップメモリ中でプログラムを実行させたり、メモリをテストしたり、その内容を直接グラフィックディスプレイに表示できる機能を備えている(図7)。

ダイナミック RAM はリフレッシュが必要であるが、簡単なハードウェアという点で、Z80 CPU を使用してリフレッシュを行わせている。

又、VOTER を構成しているのが 74LS54 の TTL で、3 個のダイナミック RAM につき一つの VOTER として 1 個の 74LS54 を使用する。従って、故障チップメモリシステムのアクセス時間は正常なメモリチップのアクセス時間よりも 15 ~ 20 ns の遅延時間だけ長くなっているにすぎず、メモリを使用する点では、この遅れは支障とならない。

実験に使用した約 50 個の故障チップメモリのうちほとんどすべてが使用可能であり、正常に動作するメモリシステムを容易に構成できた。

ところで故障チップメモリシステムで用いたメモリの故障パターンの代表例を図8(a)~(f)に示す。2.の冒頭で述べたように故障チップの 90% 近くが単一ビット故障(図8(a))であり、故障ビットが重ならないように三つの RAM を組み合わせるのは容易なことである。

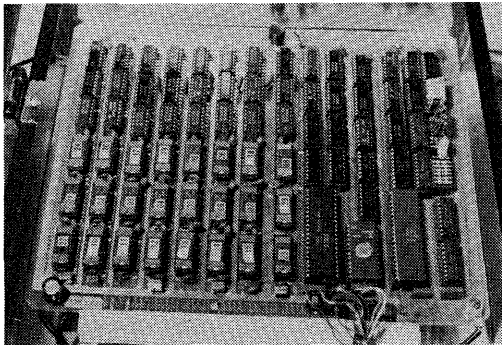


図6 故障チップメモリシステム
Fig.6-Failed chip memory system.

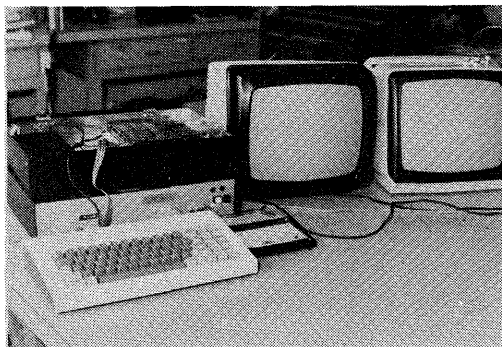
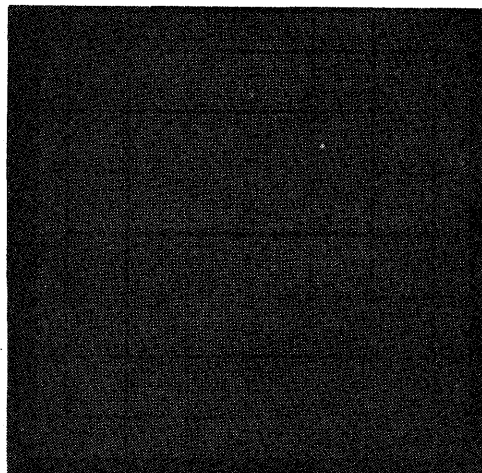
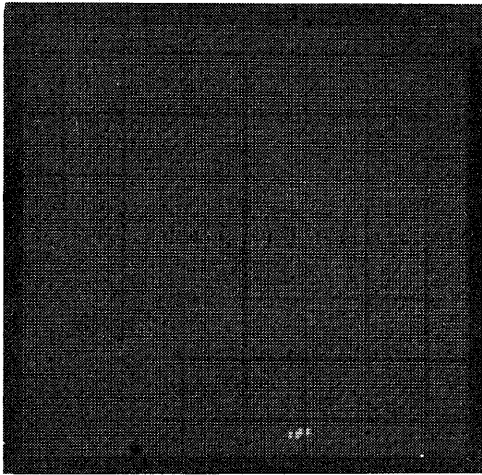


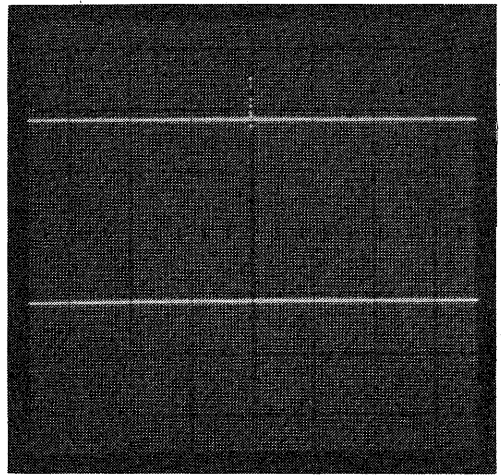
図7 故障チップメモリシステム
Fig.7-Failed chip memory system.



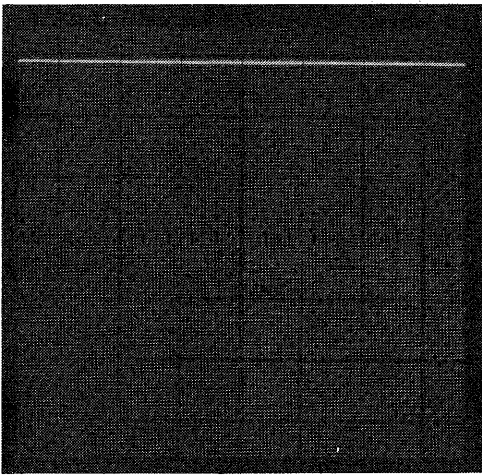
(a)



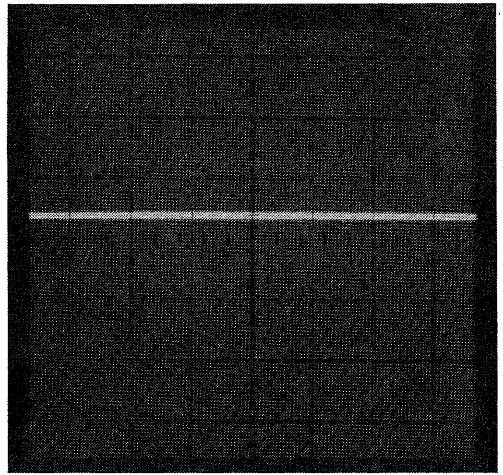
(a)



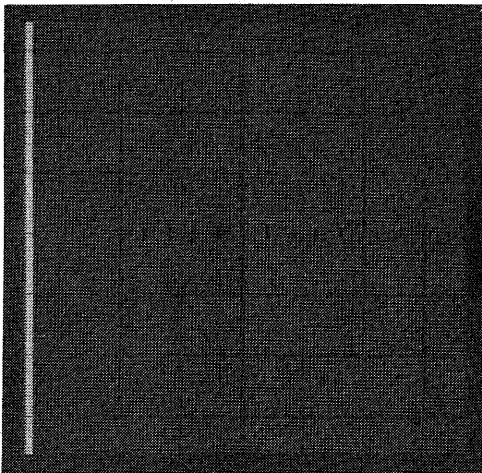
(b)



(c)



(d)



(e)

- 図 8 (a) 単一ビット故障
- (b) 複数ビット故障
- (c) 128 ビット行故障
- (d) 128 ビット列故障
- (e) 複合故障
- (f) 複合故障

- Fig.8-(a) Single bit failure.
- (b) Plural-bit failure.
- (c) 128-Bit row failure.
- (d) 128-Bit column failure.
- (e) Mixed failure.
- (f) Mixed failure.

図 8 (b) に示すのが複数ビット故障である。このような故障パターンをもつ故障チップメモリも容易に三つの組みを作ることができる。

図 8 (c) に示すのが 128 bit 行故障である。

図8(d)に示すのが128bit列故障である。

行故障のメモリと列故障のメモリを組み合せると必ず1点(1bit)だけ交さすから、その交さしているアドレスだけ誤り訂正できなくなる。従って行故障チップは行故障チップ同士、あるいは列故障チップは列故障チップ同士で三つの組を作ることが必要である。

図8(e), (f)は複合故障メモリの例である。

例えば図8(a)から(f)までの故障チップが1個ずつあったとすると、(abc), (abd), (abe), (abf), (ace), (acf), (aef), (bce), (bcf), (cef)などの組合せを考えれば、正常な故障チップメモリシステムを構成できる。

又、これらの組合せのうち(abd), (cef)の組みは全メモリ(ここでは6個)を利用できる分け方である。我々が入手した故障RAMは極めて故障パターンのひどいものであったが、3箇月の試験期間中RAMの故障によるシステムの誤動作は1度もない。

ところで、我々の提案している手法はそのまま64K, 256K, 1M…の故障チップメモリにも応用でき、それらのチップの歩留りを簡単に改善することは可能である。n%の歩留りならば $\left(0.9 \times \frac{100-n}{3} + n\right)$ (%)に改善される。又、本手法はハードエラー(固定故障)ばかりでなく、α線などのソフトエラーに対しても同様な効果が期待でき、チップの歩留り及び信頼性を改善できる。

5. む す び

従来から広く知られている多数決論理を用いて故障チップメモリを使用可能とし、メモリの歩留りを改善できることを本論文では述べた。又、故障したメモリチップを使って構成した故障チップメモリシステムの信頼性は1個の正常なメモリチップよりも実用上劣らない。この信頼性の議論の結果、安心して故障チップ

メモリシステムを使用できる。

ところで本手法の歩留り改善度は高集積度のメモリ程大きくなる。なぜならば、16K, 64K, 256Kとメモリの集積度が增大するにつれ、歩留りは低下し不良チップの数は増大する。従って、利用できる故障チップ数が増えるため歩留りを改善できるからである。概算すると歩留りを Y ($0 < Y < 1$)としたとき、

$$0.9 \times (1-Y) / 3 \text{ だけ歩留りは向上する。}$$

従来、チップの歩留りを向上させるために製造技術および製造環境の改善にだけ力を入れてきたように思われるが、今後は回路に冗長を与えることによって歩留りを向上させようとする試みは盛んになってくるだろう。

謝辞 同研究室の大学院生吉田かおる君、宮崎淳君に感謝します。

文 献

- (1) Tulin Erdim Margir and Algirdas Avizienis: "Effect of Interconnect Requirement on VLSI circuit Yield Improvement by means of Redundancy", Proceedings of COMPCON Spring'81.
 - (2) Robert Koppel: "RAM Reliability in Large Memory Systems Improving MTBF with ECC", Computer Design (March 1979).
 - (3) 後藤 保: "IC, LSIの信頼性を巡る最近の技術動向", 日経エレクトロニクス(昭53-11-27).
 - (4) Robert Koppel: "RAM Reliability in Large Memory Systems Significance of Predicting MTBF", Computer Design (Feb. 1979).
 - (5) Tammarn, E. and Angell, J.B.: "Redundancy for LSI yield enhancement", IEEE J. Solid-State Circuits, SC-2, pp. 172-182 (Dec. 1967).
 - (6) Donaldson, J.: "Partial RAMs can fill today's memory boards", Electronics, pp. 131-134 (Jan. 1980).
- (昭和56年6月17日受付, 8月27日再受付)